

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

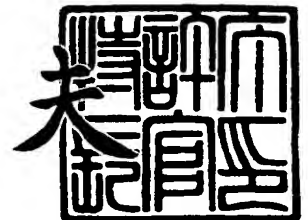
出 願 番 号 特 願 2 0 0 2 - 3 7 7 4 8 3
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 7 7 4 8 3]

出 願 人 京セラ株式会社
Applicant(s):

2 0 0 3 年 9 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 28195

【あて先】 特許庁長官殿

【国際特許分類】 H01G 7/06

【発明者】

 【住所又は居所】 京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内

 【氏名】 栗岡 秀治

【特許出願人】

 【識別番号】 000006633

 【住所又は居所】 京都府京都市伏見区竹田鳥羽殿町 6 番地

 【氏名又は名称】 京セラ株式会社

 【代表者】 西口 泰夫

【手数料の表示】

 【予納台帳番号】 005337

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量可変薄膜コンデンサ及び高周波部品

【特許請求の範囲】

【請求項 1】 支持基板上に、印加電圧により容量が変化し、且つ直列接続してなる第 1 乃至第 N の可変容量素子と前記第 1 の可変容量素子の入力端子側端子部と第 2 i の可変容量素子ー第 2 i + 1 の可変容量素子との各接続点の間に第 i の入力端子側バイアスラインを設け、且つ前記第 N の可変容量素子の出力端子側端子部と第 2 i - 1 の可変容量素子ー第 2 i の可変容量素子との各接続点の間に第 i の出力端子側バイアスラインを設けてなる容量可変薄膜コンデンサであって、

前記入出力端子側バイアスラインは、その少なくとも一部にタンタルを含有し、且つ比抵抗が $1\text{ m}\Omega\text{ cm}$ 以上の薄膜抵抗を有することを特徴とする容量可変薄膜コンデンサ。

但し、 $N = 2n + 1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$

【請求項 2】 前記のバイアスラインが、支持基板上に直接形成されていることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 3】 前記のバイアスラインは、導体ラインと薄膜抵抗とから成ることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 4】 前記薄膜抵抗は、膜厚が 40 nm 以上であることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 5】 前記容量素子は、下部電極層、薄膜誘電体層、上部電極層を順次被着して成ることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 6】 前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y\text{Ti}_{1-y}\text{O}_{3-z}$ から成ることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 7】 入力端子は、高周波信号の信号入力端子と直流バイアス供給端子とが共用されていることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 8】 少なくとも前記バイアスラインは、窒化ケイ素および酸化ケイ素の少なくとも 1 種類よりなる保護膜で被覆されていることを特徴とする請求項 1 に記載の容量可変薄膜コンデンサ。

【請求項 9】 請求項 1 に記載の容量可変薄膜コンデンサは、共振回路の一部及び

／又は複数の共振回路を接合する容量素子として用いられることを特徴とする高周波部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直流バイアス電圧の印加により容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪は小さく抑えることができる容量可変コンデンサ回路に関するものである。また、本発明は、誘電体層を薄膜技法により形成した薄膜コンデンサに関するものであり、特に直流バイアス電圧の印加により容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪は小さく抑えることができる容量可変薄膜コンデンサに関するものであり、さらに、耐電力に優れた容量可変薄膜コンデンサを用いた高周波用電圧制御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型アンテナ共用器などの高周波部品に関するものである。

【0002】

【従来技術】

従来、薄膜コンデンサとして、上下電極層および誘電体層が薄膜で形成された薄膜コンデンサがある。これは通常、電気絶縁性の支持基板上に薄膜状の下部電極層、誘電体層、上部電極層がこの順に積層している。このような薄膜コンデンサでは下部電極層、上部電極層が夫々スパッタ、真空蒸着などで形成されており、誘電体層もスパッタ、ゾルゲル法等で形成されている。このような薄膜コンデンサの製造では、通常、以下のようにフォトリソグラフィの手法が用いられる。まず、絶縁性支持基板上の全面に下部電極層となる導体層を形成した後、必要部のみをレジストで覆い、その後、ウエットエッチング又は、ドライエッチングで不要部を除去して、所定形状の下部電極層を形成する。次に、支持基板上に薄膜誘電体層となる誘電体層を全面に形成し、下部電極層同様に、不要部を除去して所定形状の薄膜誘電体層を形成する。最後に上部電極層となる導体層を全面に形成し、不要部を除去して所定形状の上部電極層を形成する。また、保護層やハンダ端子部を形成することにより、表面実装が可能になる。また、薄膜誘電体層の

材料として、 $(\text{Ba}_x\text{Sr}_{1-x})_y\text{Ti}_{1-y}\text{O}_{3-z}$ から成る誘電体材料を用いて、上部電極層と下部電極層との間に所定電位を与えて、誘電体層の誘電率を変化させて、容量を変化させる容量可変薄膜コンデンサも同様な構造である。直流バイアスの印加により容量を変化させる容量可変薄膜コンデンサとしては、例えば特許文献1（特開平11-260667号）に開示されている。

【0003】

容量可変薄膜コンデンサでは直流バイアスを印加することで誘電率が変化し、その結果として容量が変化する。容量の変化は高周波領域にも及び、高周波でも容量可変薄膜コンデンサとして利用可能となる。この様な高周波での容量可変薄膜コンデンサの容量変化を利用して、直流バイアスの印加により周波数特性を変化できる電子部品が得られる。例えば、上述の容量可変薄膜コンデンサと薄膜インダクタを組み合わせた電圧制御型薄膜共振器では、直流バイアスの印加により共振周波数を変化させることができる。また、容量可変薄膜コンデンサまたは電圧制御型薄膜共振器と薄膜インダクタ、薄膜キャパシタを組み合わせた電圧制御型薄膜帯域通過フィルタでは、直流バイアスの印加により通過帯域を変化させることができる。マイクロ波用の電圧制御型電子部品に関しては例えば特許文献2（特表平8-509103号）に開示されている。

【特許文献1】

特開平11-260667

【特許文献2】

特表平8-509103

【0004】

【発明が解決しようとする課題】

上述の様な容量可変薄膜コンデンサを高周波用電子部品で用いる場合、容量可変薄膜コンデンサには容量可変用の直流バイアス電圧と高周波信号の電圧（高周波電圧）が同時に印加されることになる。高周波電圧が高い場合は高周波電圧によっても容量可変薄膜コンデンサの容量が変化するようになる。この様な容量可変薄膜コンデンサを高周波用電子部品に用いると、高周波電圧によるコンデンサの容量変化のため波形歪、相互変調歪みノイズが生じる様になる。波形歪、相互

変調歪みノイズを小さくするためには高周波電界強度を下げ高周波電圧による容量変化を小さくする必要があり、その為には誘電体層の厚みを厚くすることが有効であるが、誘電体層の厚みを厚くすると直流電界強度も小さくなるため容量変化率も下がってしまう問題がある。

【0005】

また、高周波ではコンデンサには電流が流れやすくなるため、コンデンサを高周波で使用中にはコンデンサの損失抵抗によりコンデンサが発熱し破壊してしまう。この様な耐電力の問題に対しても誘電体の厚みを厚くし、単位体積当たりの発熱量を小さくすることが有効であるが、前述のように誘電体層の厚みを厚くすると直流電界強度も小さくなるため直流バイアスによる容量変化率も下がってしまう問題がある。

【0006】

また、薄膜コンデンサを作製する際には、通常、下部電極、薄膜誘電体層、上部電極のほかに、保護層や、半田拡散防止層など、他の機能を担う層を順次被着していく。しかし、層の数が多くなればなるほど、フォトリソグラフィでの位置ずれ、エッチングの際の下層へのダメージといった問題のほか、層の数が増えることで応力が増大し、結果、膜にクラックが生じるなど、特性不良や信頼性が低下してしまうという問題点がある。

【0007】

本発明は上述の問題点に鑑みて案出されたものであり、その目的は、高周波信号による容量変化が小さく、且つ直流バイアスによる容量変化が大きく、バイアスラインのような新たな構成要素が付加されても素子の大きさを維持するとともに、さらには順次被着される薄膜の層の数を少なくし、素子の小型集積化に有効であり、なおかつ特性不良や信頼性の低下を抑制する容量可変薄膜コンデンサを提供することにある。

【0008】

本発明のさらに別の目的は、上述の容量可変薄膜コンデンサを用いて相互変調ひずみが小さく、耐電力に優れ、温度特性の良い高周波用電圧制御型薄膜共振器、電圧制御型薄膜高周波フィルタ、電圧制御型整合回路素子及び電圧制御型薄膜

アンテナ共用器などの高周波部品を提供することにある。

【0009】

【課題を解決するための手段】

本発明は、支持基板上に、印加電圧により容量が変化し、且つ直列接続してなる第1乃至第Nの可変容量素子と前記第1の可変容量素子の入力端子側端子部と第2iの可変容量素子—第2i+1の可変容量素子との各接続点の間に第iの入力端子側バイアスラインを設け、且つ前記第Nの可変容量素子の出力端子側端子部と第2i-1の可変容量素子—第2iの可変容量素子との各接続点の間に第iの出力端子側バイアスラインを設けてなる容量可変薄膜コンデンサであって、

前記入出力端子側バイアスラインは、その少なくとも一部にタンタルを含有し、且つ比抵抗が $1\text{ m}\Omega\text{ cm}$ 以上の薄膜抵抗を有することを特徴とする容量可変薄膜コンデンサである。但し、 $N=2n+1$ 、 $n\geq 1$ 、 $1\leq i\leq n$ である。

【0010】

また前記バイアスラインは、支持基板上に直接形成されており、また導体ラインと薄膜抵抗とから成っている。

【0011】

また、前記薄膜抵抗は、膜厚が 40 nm 以上である。

【0012】

また、前記容量素子は、下部電極層、薄膜誘電体層、上部電極層を順次被着して成り、また前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y\text{Ti}_{1-y}\text{O}_{3-z}$ から成ること容量可変薄膜コンデンサである。

【0013】

また入力端子は、高周波信号の信号入力端子と直流バイアス供給端子とが共用されている容量可変薄膜コンデンサである。

【0014】

また少なくとも前記バイアスラインを被覆し、且つ窒化ケイ素および酸化ケイ素の少なくとも1種類よりなる保護膜を有する容量可変薄膜コンデンサである。

【0015】

さらに、容量可変薄膜コンデンサは、共振回路の一部及び／又は複数の共振回

路を接合する容量素子として用いられることを特徴とする高周波部品である。

【作用】

本発明の容量可変薄膜コンデンサは、電圧を印加することにより容量が変化し、直列に接続された第1乃至第Nの容量可変素子と容量調整に用いる直流バイアス印加用の第iの入力端子側バイアスライン及び第iの出力端子側バイアスラインからなることを特徴とする容量可変薄膜コンデンサである。前記第1の可変容量素子の入力端子側と第2iの可変容量素子ー第2i+1の可変容量素子の各接続点との間に、第iの入力端子側バイアスラインを設け、且つ前記第Nの可変容量素子の出力端子側端子部と第2i-1の可変容量素子ー第2iの可変容量素子の各接続点の間に第iの出力端子側バイアスラインを設けている。(但し、 $N=2n+1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$) 従って、直列に接続する可変容量素子に印加される電圧がそれぞれの可変容量素子に分圧されるので、個々の可変容量素子に印加される電圧は減少する。このことから、高周波信号による容量の変化は小さく抑えることが出来る。また、第iの入力端子側バイアスライン及び第iの出力端子側バイアスラインを設けることにより、直流バイアスは個々の可変容量素子に独立に印加することが出来る。このことから、直流バイアスによる容量の変化は大きく保つことが出来る。

【0016】

さらに、前記バイアスラインもしくはその一部にタンタルを含有し、且つ比抵抗が $1\text{ m}\Omega\text{ cm}$ 以上である薄膜抵抗を用いている。タンタルを含有することにより、窒化タンタルやTaSiN、Ta-Si-Oなどの高抵抗の薄膜抵抗を簡便に得ることができる。さらに、抵抗値が経時的に安定したバイアスラインとなるとともに、バイアスラインが高抵抗となるため、アスペクト比(バイアスラインの長さ/幅)を小さく保つことができる。従って、新たにバイアスラインを設けても素子の大きさを維持できるため、素子の小型化、高集積化に有効である。

【0017】

さらには、バイアスラインが高抵抗となることにより、バイアスラインに高周波信号が入り込むことはなく、また、直流電流は可変容量素子を流れないため、高周波的には直列接続された可変容量素子で、直流的には並列接続された可変容

量素子と見ることができる。

【0018】

また、容量可変コンデンサ回路を構成する各可変容量素子同士の接続ラインが、第 i の入力端子側バイアスライン及び第 i の出力端子側バイアスラインにより交互に直流バイアスが供給されるため、接続された全ての可変容量素子に直流バイアスが安定して供給できるため、個々の可変容量素子の容量変化率を最大限に利用できる。

【0019】

また、前記バイアスラインを支持基板上に直接設けることにより、直列接続された容量可変素子上に設けられる際に必要な絶縁膜が不要となり、素子を構成する層の数を低減し、膜のクラックなどによる特性不良、信頼性の低下を抑制することができる。

【0020】

また、本発明の容量可変薄膜コンデンサのバイアスラインは、導体ラインと薄膜抵抗とから成る。薄膜抵抗の抵抗値は、導体の抵抗値に比して非常に高くできるため、バイアスラインの抵抗は薄膜抵抗の抵抗値とほぼ等しくなり、薄膜抵抗の抵抗値は、その膜厚ならびにアスペクト比を全てのバイアスラインにおいて同一にすることにより等しくすることができる。従って、全てのバイアスラインの抵抗値を等しくすることができ、容量可変薄膜コンデンサのインピーダンスなどの電気特性を均一にすることができる。

【0021】

また、前記薄膜抵抗の膜厚を 40 nm 以上とすることにより、高抵抗の薄膜抵抗を再現性よく作製することができる。

【0022】

また、本発明の容量可変薄膜コンデンサにおいて、各可変容量素子が支持基板上に下部電極層、薄膜誘電体層、上部電極層を順次被着してなる。このことにより、各可変容量素子の容量を直流バイアスの印加により大きく変化させることができる。

【0023】

また、前記薄膜誘電体層が $(\text{Ba}_x, \text{Sr}_{1-x})_y \text{Ti}_{1-y} \text{O}_{3-z}$ からなり、可変容量素子の容量変化率が大きく損失が小さい容量可変コンデンサを作製することが出来る。

【0024】

また、入力端子は、高周波信号の信号入力端子と直流バイアス供給端子とが共用されている。これにより、素子構造が簡略化される。

【0025】

また、本発明の容量可変薄膜コンデンサは、少なくとも前記バイアスラインを被覆し、且つ窒化ケイ素および酸化ケイ素の少なくとも1種類よりなる保護膜を有しており、これにより、薄膜抵抗が酸化されるのを防止できるため、バイアスラインの抵抗値を経時的に一定とすることができ、信頼性が向上する。さらには耐湿性も確保できる。

【0026】

本発明の高周波用電圧制御型共振器の一部（共振回路の一部として）、または、共振回路どうしを結合する手段として前記容量可変薄膜コンデンサを用いている。これにより、高周波的には直列接続され、直流的には並列接続された、容量可変薄膜コンデンサを用いて共振器を作製することにより、波形歪、相互変調歪みノイズが小さく、耐電力に優れた高周波用電圧制御型共振器である高周波部品を実現できる。また、共振回路を具備した電圧制御型高周波フィルタ、電圧制御型アンテナ共用器においても同様に、高周波的には直列接続され、直流的には並列接続された、容量可変薄膜コンデンサを用いることにより、波形歪、相互変調歪みノイズが小さく、耐電力に優れた電圧制御型高周波フィルタ、アンテナ共用器を作製することができる。

【0027】

【発明の実施の形態】

以下、本発明にかかる容量可変薄膜コンデンサ及びそれを用いた高周波部品を図面に基づいて説明する。図1乃至図5は $N=7$ の場合の容量可変薄膜コンデンサを示したものである。図1は透視状態の平面図であり、図2は作製途中での平面図であり、図3は図1でのA-A'における断面図であり、図4は図1でのB

－B’での断面図であり、図5は図1でのC－C’での断面図である。

【0028】

図1乃至図5において、1は支持基板であり、2は下部電極層であり、31、32、33、34、35は導体ラインであり、4は薄膜誘電体層であり、5は上部電極層であり、61、62、63、64、65、66は薄膜抵抗であり、7は絶縁層であり、8は引き出し電極層であり、9は保護層であり、10は半田拡散防止層であり、111、112は半田端子部である。尚、この半田拡散防止層10及び半田端子部とで、入力端子、出力端子を構成している。また図1、図3において、C1～C7は、バイアスにより容量が変化する可変容量素子を示す。

【0029】

支持基板1は、アルミナなどのセラミック基板、サファイアなどの単結晶基板などである。そして、支持基板1の上に下部電極層2、薄膜誘電体層4、上部電極層5を順次、支持基板の全面に成膜する。全層成膜終了後、上部電極層5、薄膜誘電体層4、下部電極層2を順次所定の形状にエッチングする。

【0030】

下部電極層2は、薄膜誘電体層4の形成に高温スパッタが必要となるため、高融点であることが必要である。具体的には、Pt、Pdなどである。さらに、下部電極層2のスパッタ終了後、薄膜誘電体層4のスパッタ温度である700～900℃へ加熱され、薄膜誘電体層4のスパッタ開始まで一定時間保持することにより、平坦な膜となる。

【0031】

下部電極層2の厚みは、出力端子（半田端子112、半田拡散防止層10）から第7の可変容量素子C7までの抵抗成分や、C1からC2、C3からC4、C5からC6までの抵抗成分、下部電極層2の連続性を考慮した場合、厚いほうが望ましいが、支持基板1との密着性を考慮した場合は、相対的に薄い方が望ましく、両方を考慮して決定される。具体的には、0.1μm～10μmである。0.1μmよりも薄くなると、電極自身の抵抗が大きくなるほか、電極の連続性が確保できなくなる可能性がある。一方、10μmより厚くすると、支持基板1との密着性が低下したり、支持基板1のそりを生じる恐れがある。

【0032】

薄膜誘電体層 4 は、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子からなる高誘電率の誘電体層である。この薄膜誘電体層 4 は、上述の下部電極層 2 の表面に形成されている。例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして、スパッタリングを所望の厚みになる時間まで行う。基板温度を高く、例えば 800℃ としてスパッタリングを行うことにより、スパッタ後の熱処理を行うことなく、高誘電率で容量変化率の大きい、低損失の薄膜誘電体層が得られる。

【0033】

上部電極層 5 の材料としては、電極の抵抗を下げるため、抵抗率の小さな Au が望ましいが、薄膜誘電体層 4 との密着性向上の為に、Pt などを密着層として用いることが望ましい。この上部電極層 5 の厚みは $0.1\mu\text{m} \sim 10\mu\text{m}$ となっている。厚みの下限については、下部電極層 2 と同様に、電極自身の抵抗を考慮して設定される。厚みの上限については、密着性を考慮して設定される。

【0034】

第 1 入力端子側バイアスラインは、導体ライン 32、33、薄膜抵抗 62 とから構成されており、第 1 の可変容量素子 C1 の入力端部である入力端子（半田端子 11a、半田拡散防止層 10）から第 2 の可変容量素子 C2 と第 3 の可変容量素子 C3 との接続点、即ち、第 2 の可変容量素子 C2 の上部電極層 5 と第 3 の可変容量素子 C3 の上部電極層 5 とを接続する引き出し電極層 8 との間に設けられている。同様に、第 2 入力端子側バイアスラインは、導体ライン 32、34、薄膜抵抗 64 とから構成され、前記入力端子から第 4 の可変容量素子 C4 と第 5 の可変容量素子 C5 との接続点との間に設けられており、第 3 入力端子側バイアスラインは、導体ライン 32、35、薄膜抵抗 66 とから構成され、前記入力端子から第 6 の可変容量素子 C6 と第 7 の可変容量素子 C7 との接続点との間に設けられている。

【0035】

第 1 出力端子側バイアスラインは、導体ライン 31 と薄膜抵抗 61 とから構成されており、第 1 の可変容量素子 C1 と第 2 の可変容量素子 C2 との接続点、即

ち、第1の可変容量素子C1及び第2の可変容量素子C2の共通的な下部電極層2と、第7の可変容量素子C7の出力端部である出力端子（半田端子112、半田拡散防止層10）との間に設けられている。同様に、第2出力端子側バイアスラインは、導体ライン31と薄膜抵抗63とから構成され、第3の可変容量素子C3と第4の可変容量素子C4との接続点と、前記出力端子との間にもうけられており、第3出力端子側バイアスラインは、導体ライン31と薄膜抵抗65とから構成され、第5の可変容量素子C5と第6の可変容量素子C6との接続点と、前記出力端子との間に設けられている。

【0036】

この導体ライン31、32、33、34、35は、上述の下部電極層2、薄膜誘電体層4、上部電極層5を形成した後、新たに成膜して得ることができる。その際には、リフトオフ法を用いることが望ましい。さらには、下部電極層2のパターニングの際に導体ラインを有する形状にパターニングを行うことによっても形成できる。

【0037】

この導体ラインの材料としては、バイアスラインの抵抗値のばらつきを抑制するために、低抵抗であるAuが望ましいが、薄膜抵抗61乃至66の抵抗が十分に高いので、Ptなど、下部電極層2と同一の材料、同一工程で形成してもよい。

【0038】

次に、バイアスラインを構成する薄膜抵抗61乃至66の材料は、タンタルを含有し、且つその比抵抗は $1\text{ m}\Omega\text{ cm}$ 以上である。具体的な材料として、窒化タンタルやTaSiN、Ta-Si-Oを例示することができる。例えば、窒化タンタルの場合、Taをターゲットして、窒素を加えてスパッタを行う、リアクティブスパッタ法により、所望する組成比、抵抗率の膜を成膜することができる。このスパッタの条件を適宜選択することにより、膜厚 40 nm 以上で、比抵抗 $1\text{ m}\Omega\text{ cm}$ 以上の膜を作製することができる。さらに、スパッタ終了後、レジストを塗布、所定の形状にした後、反応性イオンエッチング（RIE）などのエッチングプロセスにより、簡便にパターニングすることができる。

【0039】

また、本発明の容量可変薄膜コンデンサを周波数 2 GHz で使用し、各可変容量素子 C1～C7 の容量を 7 pF とした場合、この周波数の $1/10$ まで C1～C7 が直列であるために必要なバイアスラインの抵抗値は、約 1 kΩ 以上であればよい。本発明における薄膜抵抗の比抵抗率は $1\text{ m}\Omega\text{ cm}$ 以上であるため、例えばバイアスラインの抵抗値として 10 kΩ を得る場合、薄膜抵抗のアスペクト比（長さ／幅）は、膜厚を 50 nm とした時、50 以下とできるため、素子形状を大きくすることなく実現可能なアスペクト比を有する薄膜抵抗となる。

【0040】

これら薄膜抵抗 61 乃至 66 を含むバイアスラインは、支持基板 1 上に直接形成されている。これにより、素子上に形成する際に必要となる、下部電極層 2、上部電極層 4、引き出し電極層 8 との絶縁を確保するための絶縁層が不要となり、素子を構成する層の数を低減することが可能となる。さらに、高抵抗の薄膜抵抗を用いることにより、形状を大きくすることなく、素子を作成することができる。

【0041】

次に、絶縁層 7 は、この上に形成する引き出し電極層 8 と下部電極層 2 との絶縁を確保するために必要である。さらに、この絶縁層は、バイアスラインを被覆しており、薄膜抵抗が酸化されるのを防止できるため、バイアスラインの抵抗値を経時的に一定とすることができ、信頼性が向上する。絶縁層 7 の材料は耐湿性を向上させるために、窒化ケイ素および酸化ケイ素の少なくとも 1 種類よりなるものとする。これらは、被覆性を考慮して、化学吸着堆積法（CVD）などにより、成膜することが望ましい。

【0042】

絶縁層 7 は、通常のレジストを用いるドライエッチング法などにより、所望の形状にすることができる。ただし、薄膜抵抗 61 乃至 66 と引き出し電極層 8 との結合を確保するための導体ライン 33～35 の一部を露出させる必要がある。その他では、上部電極部および半田端子部のみを露出させることが、耐湿性向上の観点から好ましい。

【0043】

次に、引き出し電極層 8 は、第 1 の可変容量素子 C 1 の上部電極層 5 と一方の端子形成部 111、または上部電極層 5 同士を連結させて、第 1 の可変容量素子 C 1 を端子形成部 111 に接続するとともに、第 2 の可変容量素子 C 2 と第 3 の可変容量素子 C 3、第 4 の可変容量素子 C 4 と第 5 の可変容量素子 C 5、第 6 の可変容量素子 C 6 と第 7 の可変容量素子 C 7、各々を直列接続するものである。さらには、C 2 と C 3、C 4 と C 5、C 6 と C 7 の各々にまたがる引き出し電極層 8 は、絶縁層 7 の外側でそれぞれ導体ライン 33、34、35 と結合している。また、材料としては、Au、Cu などの低抵抗な金属を用いることが望ましい。また、引き出し電極層 8 は、絶縁層 7 との密着性を考慮して、Ti、Ni、などの密着層を使用してもよい。

【0044】

次に、保護層 9 を形成する。保護層 9 は、素子を外部から機械的に保護するほか、薬品等による汚染から保護する。形成時には、端子形成部 111、112 を露出するようにする。材料としては、耐熱性が高く、段差に対する被覆性が優れたものが良く、具体的には、ポリイミド樹脂やBCB（ベンゾシクロブテン）樹脂などを用いる。

【0045】

半田拡散防止層 10 は、半田端子形成の際のリフローや実装の際に、半田の電極への拡散を防止するために形成する。材料としては、Ni が好適である。また、半田拡散防止層の表面には、半田濡れ性を向上させるために、半田濡れ性の高いAu、Cuなどを0.1 μ m程度形成する場合もある。

【0046】

最後に、半田端子部 111、112 を形成する。これは、実装を容易にするために形成する。半田ペーストを印刷後、リフローを行うことにより、形成するのが一般的である。

【0047】

以上述べた容量可変薄膜コンデンサ素子において、可変容量素子 C 1 ～ C 7 が高周波的には、直列接続され、しかも各可変容量素子 C 1 ～ C 7 は、主として薄

膜抵抗 $61 \sim 66$ で設定される抵抗値を有するバイアスラインで接続されることにより、直流的には、並列接続されている。

【0048】

また、バイアスラインもしくはその一部に窒化タンタルを含有し、且つ比抵抗が $1 \text{ m}\Omega \text{ cm}$ 以上薄膜抵抗を用いることにより、薄膜抵抗のアスペクト比を低減して素子の小型化を実現している。さらには、バイアスラインを支持基板上に直接形成することにより、素子を構成する層の数が低減されている。

【0049】

また、上述の容量可変薄膜コンデンサ素子は、高周波部品の共振回路の一部（LC 共振回路の容量成分）として用いられ、また、この共振回路を結合する容量成分として用いられる。したがって、容量可変薄膜コンデンサ素子の下部電極層、上部電極層、または引き出し電極層を利用してインダクタを同時に形成したり、支持基板 1 の余白領域（容量可変薄膜コンデンサ素子が形成されていない領域）にその他の共振回路を形成して、容量可変薄膜コンデンサ素子を電圧制御型高周波共振回路部品に、さらに、その共振回路の複合部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品にすることができる。

【0050】

【実施例 1】

支持基板としてサファイア R 基板上に、下部電極層 2 として Pt を、基板温度 500°C でスパッタ法にて成膜した。薄膜誘電体層 4 として ($\text{Ba}_{0.5}\text{Sr}_{0.5}$) TiO_3 からなるターゲットを用い、基板温度は 800°C 、成膜時間は 15 分で、同一バッチで成膜した。成膜開始前に、Pt 電極の平坦化のためのアニールとして 800°C で 15 分間保持した。その上に上部電極層 5 として Pt および Au 電極層を同一バッチで成膜した。次に、レジストを塗布し、フォトリソグラフィによりレジストを所定の形状に加工した後、ECR 装置により上部電極層 5 をエッチングした。その後、同様に薄膜誘電体層 4、下部電極層 2 をエッチングした。下部電極層 2 の形状は、導体ライン 31～35 を含むものとした。

【0051】

次に、薄膜抵抗 61～66 として、窒化タンタルをスパッタ法にて 100℃で成膜した。スパッタ後、レジストをフォトリソグラフィにより所定の形状にした後、RIE装置を用いてエッチングを行い、レジスト層を除去した。薄膜抵抗のアスペクト比は全て 20 とした。

【0052】

次に、絶縁層 7 として、SiO₂膜をTEOSガスを原料とするCVD装置により成膜した。レジストを加工した後、RIEにより、所定の形状にエッチングを行った。

【0053】

次に引き出し電極層 8 として、NiおよびAuをスパッタにて成膜し、所定の形状に加工した。

【0054】

最後に保護層 9、半田拡散防止層 10、半田端子 111、112を順次形成した。保護層 9 には、ポリイミド樹脂を、半田拡散防止層 10 にはNiを用いた。

薄膜抵抗の膜厚は 43 nm であり、シート抵抗値を別途測定したところ、4000 Ω/sqであった。その結果、薄膜抵抗の比抵抗は約 17 mΩcm であり、抵抗値は 80 kΩ となり、1 mΩcm 以上の比抵抗であることが確認された。

【0055】

上記で得られた容量可変薄膜コンデンサ素子をインピーダンスアナライザにより測定した結果を図 6 に示す。尚、特性図中 10E+01 とは、10¹、即ち、「10」を示し、10E+06 とは、10⁶、即ち、1.0Mを示す。1.0MHz 付近でバイアスラインによる影響が見られるが、高周波領域では、影響は見られないことが確認できた。

【0056】

容量の周波数依存性を図 7 に示す。1.0MHz 付近で、バイアスラインの影響により、容量の増加が見られるが、高周波領域では約 1 pF であった。容量変化率は、DC 3V 印加時で約 20% であった。

【比較例】

比較例として、バイアスラインがなく、他は実施例と同様の容量可変コンデン

サ素子を作製した。

【0057】

この容量可変コンデンサ素子をインピーダンスアナライザにより測定した結果を図8に示す。バイアスラインがないため、位相は -90° でほぼ一定であった。

【0058】

容量の周波数依存性を図9に示す。1.0MHz付近でも容量は約1.0pFであった。また、DC3V印加時の容量変化率は2.9%であった。また、実施例と同様の容量変化率を得るために必要なDCバイアスは、21Vであった。

【0059】

以上、実施例、比較例の結果から、本発明により、直流に対しては並列接続で、高周波では直列接続された容量可変薄膜コンデンサが得られた。また、バイアスラインを支持基板上に直接形成し、さらに高抵抗の薄膜抵抗を用いることより、素子形状を大きくすることなく、層数を低減し、特性、信頼性を向上させることが可能となった。

【0060】

【発明の効果】

直列に接続した第1乃至第Nの可変容量素子に直流バイアス印加用の第1乃至第nの入力端子側のバイアスライン及び第1乃至第nの出力端子側のバイアスラインを配置することにより、各可変容量素子に直流バイアス電圧を安定且つ均一に印加できる。(但し、 $N = n + 1$ 、 $n \geq 1$) このため、容量の変化を大きくし、且つ高周波信号による容量の変化、ノイズ、非線形歪みは小さく抑えることができる容量可変薄膜コンデンサとなる。

【0061】

前記バイアスラインもしくはその一部にタンタルを含有し且つ比抵抗が $1\text{ m}\Omega\text{ cm}$ 以上である薄膜抵抗を用い、且つ支持基板上に直接形成することにより、容量可変薄膜コンデンサの素子形状を大きくすることなく、層数を低減し、特性、信頼性を向上させることが可能となる。

【0062】

また、前記容量可変薄膜コンデンサ素子を用いることにより、直流バイアス電圧の印加により周波数特性を大きく変化できるが、高周波信号による周波数特性の変化、ノイズ、非線形歪みは小さく抑えることができ、波形歪、相互変調歪みノイズを小さく抑えることができ、さらに耐電力に優れた高周波用電圧制御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型アンテナ共用器などの高周波部品となる。

【図面の簡単な説明】

【図 1】

本発明の容量可変薄膜コンデンサの平面図である。

【図 2】

本発明の容量可変薄膜コンデンサの作製途中段階での平面図である。

【図 3】

図 1 の A - A ' 線の断面図である。

【図 4】

図 1 の B - B ' 線の断面図である。

【図 5】

図 1 の C - C ' 線の断面図である。

【図 6】

本発明の容量可変薄膜コンデンサのインピーダンスならびに位相特性図である。

【図 7】

本発明の容量可変薄膜コンデンサの容量特性図である。

【図 8】

比較例のインピーダンスならびに位相特性図である。

【図 9】

比較例の容量特性図である。

【符号の説明】

1 . . . 支持基板

2 . . . 下部電極層

3 1、3 2、3 3、3 4、3 5 . . . 導体ライン

4 . . . 薄膜誘電体層

5 . . . 上部電極層

6 1、6 2、6 3、6 4、6 5、6 6 . . . 薄膜抵抗

7 . . 絶縁体層

8 . . . 引き出し電極層

9 . . . 保護層

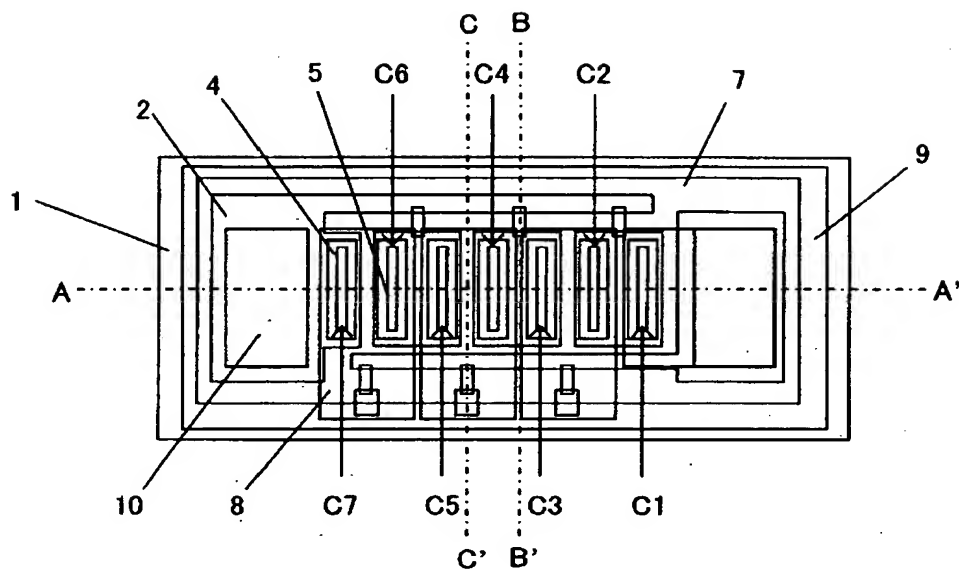
1 0 . . . 半田拡散防止層

1 1 1、1 1 2 . . . 半田端子部

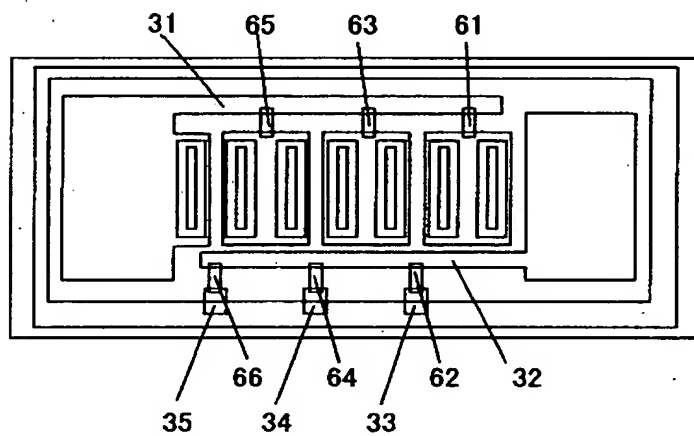
C 1、C 2、C 3、C 4、C 5、C 6、C 7 . . . 可変容量素子

【書類名】 図面

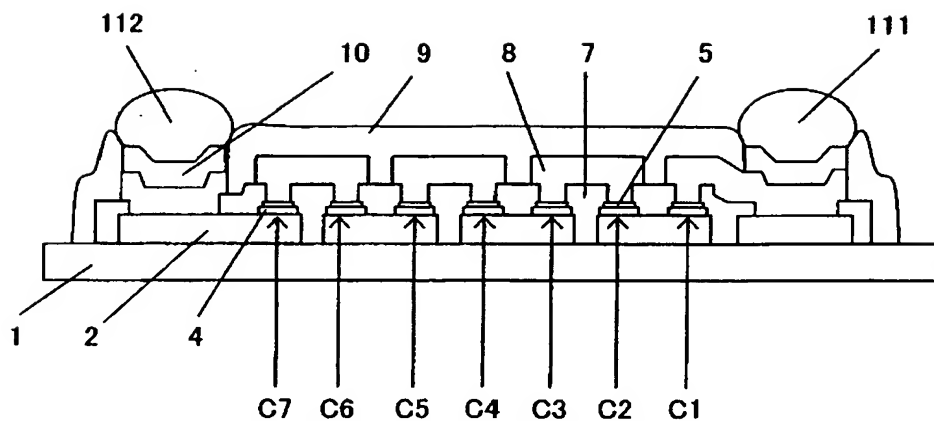
【図 1】



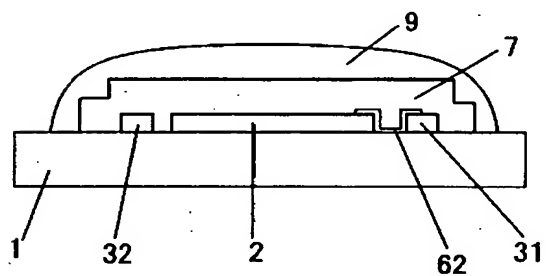
【図 2】



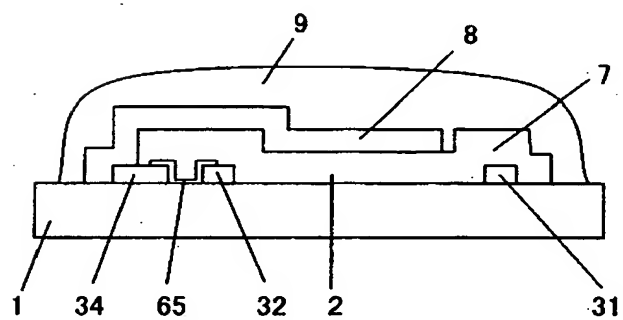
【図 3】



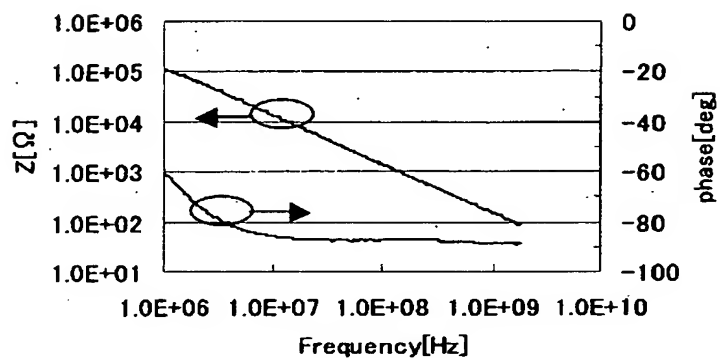
【図 4】



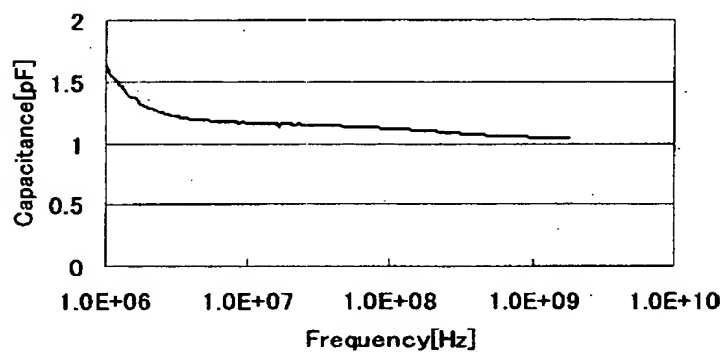
【図 5】



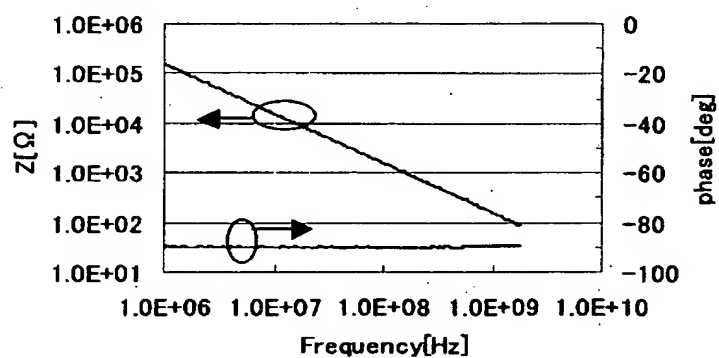
【図 6】



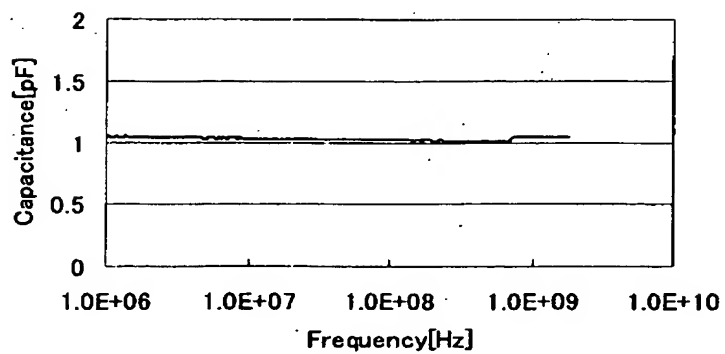
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高周波信号による容量変化が小さく、且つ直流バイアスによる容量変化は大きく、バイアスラインのような新たな構成要素が付加されても素子の大きさを維持するとともに、順次被着される薄膜の層の数を少なくし、特性不良や信頼性の低下を抑制する容量可変薄膜コンデンサ及び高周波部品を提供する。

【解決手段】

本発明は、支持基板上 1 に、印加電圧により容量が変化し、且つ直列接続してなる第 1 乃至第 N の可変容量素子 C 1 ～ C n と、入力端子側バイアスライン 3 1、出力端子側バイアスライン 3 2 とを有する容量可変薄膜コンデンサであって、前記バイアスライン 3 1、3 2 は、その少なくとも一部にタンタルを含有し、且つ比抵抗が $1\text{ m}\Omega\text{ cm}$ 以上である薄膜抵抗 6 1 ～ 6 6 を有する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 7 4 8 3
受付番号	5 0 2 0 1 9 7 6 5 4 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 1 月 6 日

< 認定情報・付加情報 >

【提出日】	平成14年12月26日
-------	-------------

次頁無

特願 2 0 0 2 - 3 7 7 4 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 6 3 3]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

京都府京都市山科区東野北井ノ上町 5 番地の 2 2

氏 名

京セラ株式会社

2. 変更年月日

1 9 9 8 年 8 月 2 1 日

[変更理由]

住所変更

住 所

京都府京都市伏見区竹田鳥羽殿町 6 番地

氏 名

京セラ株式会社